

Reti Sequenziali

Corso di Architettura degli elaboratori e laboratorio – Modulo
Laboratorio

Gabriella Verga

Reti Sequenziali - Bistabili

La maggioranza dei *circuiti logici* deve essere capace di tenere memoria di informazioni di vario genere. Ad esempio: meccanismo di a/c di un armadietto oppure la memoria di un calcolatore.

Fino ad ora abbiamo visto reti combinatorie:

lo stato s^{esimo} manda segnali agli strati $(s+i)^{\text{esimi}}$ con $s, i \geq 1$

ma per memorizzare informazione esse non bastano. C'è bisogno di una rete logica le cui uscite non dipendano solo dall'input attuale, ma anche dai sui "stati" precedenti.

Queste reti sono chiamate **reti sequenziali**.

Le reti sequenziali sono reti logiche che presentano dei cicli

Bistabile

- Bistabile asincrono
- Bistabile sincrono
- Bistabile di tipo D

Bistabile asincrono

- Si consideri la coppia di porte logiche **NOR** retroazionate mostrate in figura. Corrisponde al **bistabile: una rete sequenziale in grado di memorizzare 1 bit (Q)**
 - $\overline{Q_b} = Q_a$
 - come dati gli ingressi si riescano a stabilizzare UNIVOCAMENTE le uscite, ad eccezione del caso in cui $R = S = 0$ dove si utilizzano i simboli per definire che i valori non hanno valore definito univocamente.
 - lasciando sia R che S disattivati a 0 l'uscita Q mantiene **il valore logico che aveva assunto in precedenza.**

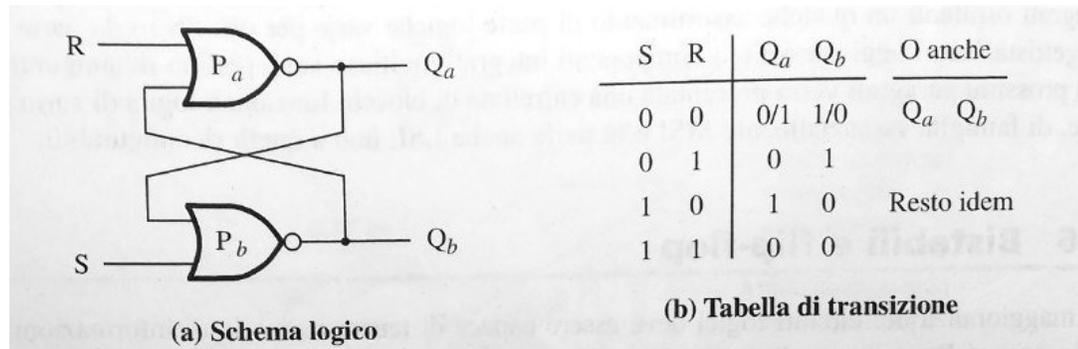
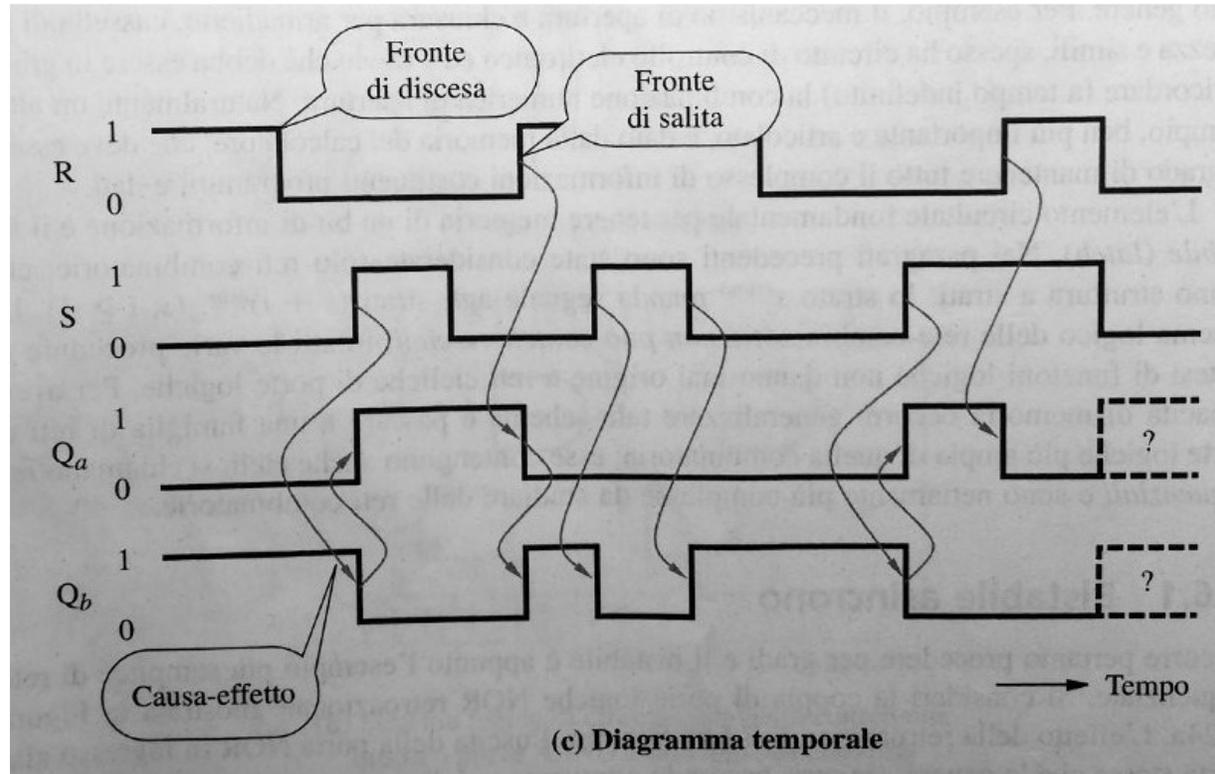


Diagramma temporale



Il caso di Set e Reset a 1 non viene usato per possibile ambiguità

Bistabile sincrono

- Il bistabile sincrono presenta un bit CLK di ingresso oltre Set e Reset. L'ingresso CLK (clock) serve per definire la suddivisione del tempo in cicli.
- Quando CLK = 1 si comporta come un bistabile asincrono
- Quando CLK = 0 lo stato non cambia
- Il funzionamento è legato ai cicli di clock

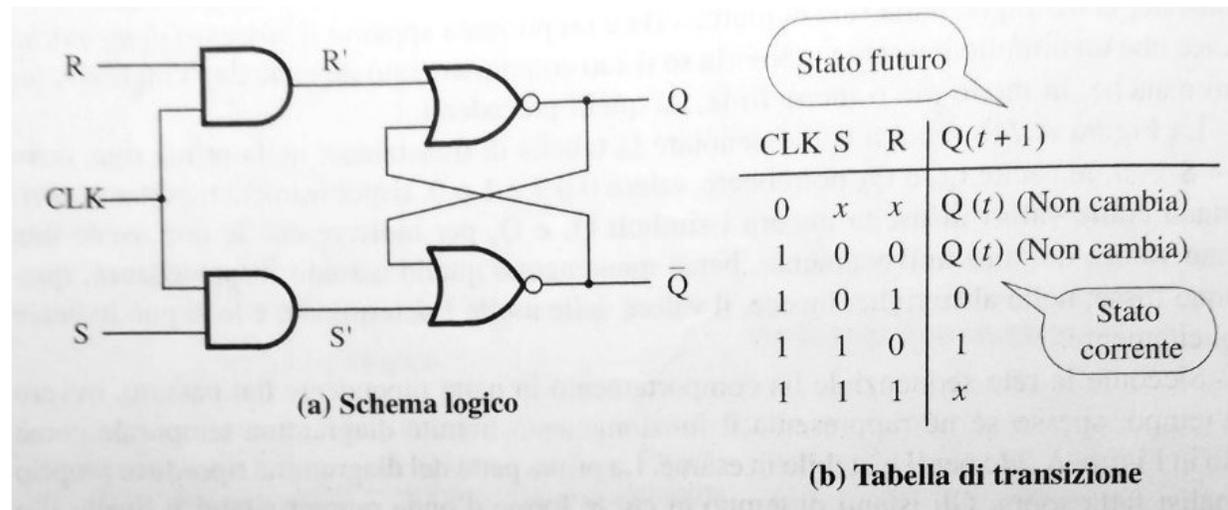
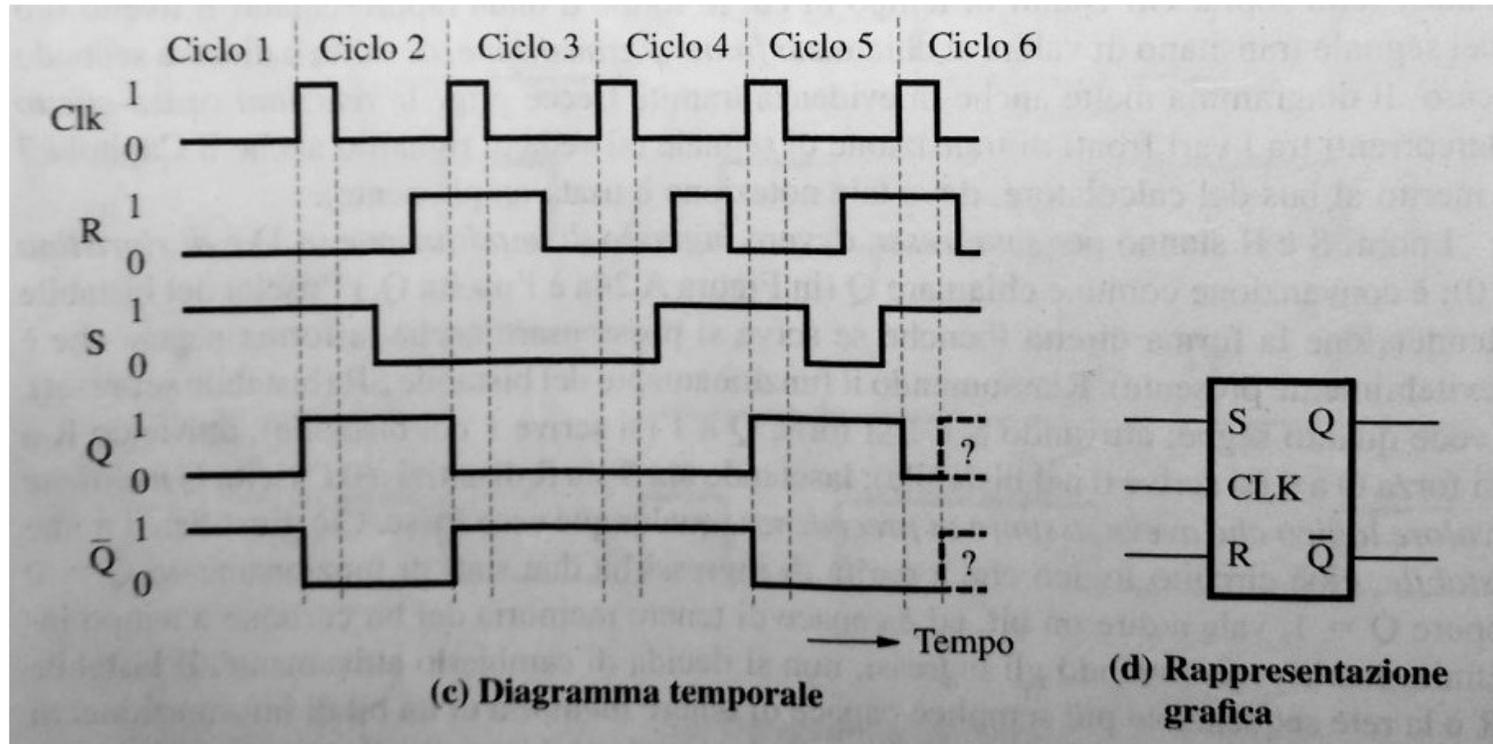


Diagramma temporale



Bistabile di tipo D

- E' possibile unificare i due ingressi S e R in un solo ingresso chiamato D (che sta per dato).
- Si ha sempre $\bar{R} = S$ (ovvero sono complementari) e $S = D$.
- Nella figura è mostrata uno schema logico con soli NAND (equivalente alla versione con AND e NOR).
- se $CLK = 1 \rightarrow Q = D$
- se $CLK = 0 \rightarrow$ lo stato non cambia

